

PAT-NO: JP404320347A

DOCUMENT-IDENTIFIER: JP 04320347 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 11, 1992

INVENTOR-INFORMATION:

NAME

YAMADA, TORU

ASSIGNEE-INFORMATION:

NAME

SUMITOMO ELECTRIC IND LTD

COUNTRY

N/A

APPL-NO: JP03088281

APPL-DATE: April 19, 1991

INT-CL (IPC): H01L021/338, H01L029/812 , H01L021/265 , H01L021/28

ABSTRACT:

PURPOSE: To manufacture field effect transistors which are low in ohmic contact resistance and high in mutual conductance.

CONSTITUTION: There is carried out the first implantation on the surface of a substrate which comprises a first layer 5 and a second layer 6 and forms a T-shaped mask in its cross section in such a fashion that the peak of the carrier concentration comes to the depth of 1,500 to 2,000 \AA ; in the substrate 1. Then, the second implantation is carried out in such a fashion that the peak of the carrier concentration approaches near the surface of the substrate at acceleration voltage lower than that of the first implantation.

COPYRIGHT: (C)1992, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-320347

(43) 公開日 平成4年(1992)11月11日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/338

29/812

21/265

7739-4M

H 0 1 L 29/80

F

8617-4M

21/265

F

審査請求 未請求 請求項の数1(全5頁) 最終頁に続く

(21) 出願番号

特願平3-88281

(22) 出願日

平成3年(1991)4月19日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 山田 亨

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

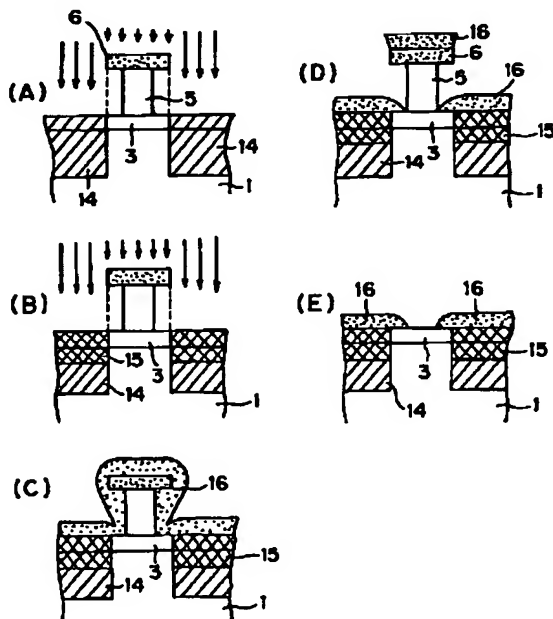
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 オーミックコンタクト抵抗が低く、相互コンダクタンスの高い電界効果型トランジスタを製造する。

【構成】 基板1の表面に第1層5および第2層6からなり、断面がT字型のマスクを形成して基板1中1, 500~2, 000Åの深さにキャリア濃度のピークがくるように第1の注入を行う。さらに、この第1の注入よりも低い加速電圧でキャリア濃度のピークが表面近くにくるような第2の注入を行う。



1

【特許請求の範囲】

【請求項1】 幅の狭い第1層と該第1層より幅の広い第2層とからなる断面T字型のマスクを用いて半導体基板の表面に直接イオンを注入して高濃度のイオン注入層を自己整合的に形成し、さらに同一マスクを用いて、該第1のイオン注入とは異なる加速電圧によって同一導電型のイオンを前記基板表面に少なくとも1回直接注入することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にパターン反転セルフアライン置換ゲートプロセスによる電界効果型トランジスタの製造方法に関するものである。

【0002】

【従来の技術】 セルフアライン技術はLSIの集積度の向上および性能の向上のために重要な技術である。このセルフアライン技術として、代表的なパターン反転セルフアラインプロセスであるSAINT (IEEE Trans. Electron Devices; ED29, pp1772-1777, 1982) が知られている。

【0003】 図2にSAINTの工程図を、図3に各工程におけるMESFETの断面図を示す。まず、図2の工程(a)において、半絶縁性GaAs基板1にフォトレジスト2を用いてS1をイオン注入し、n注入層3を形成する(図3(A))。次に工程(b)においてプラズマCVD法によってSiN層4を形成する。ついで、工程(c)において、下層フォトレジスト5、スパッタSiO₂層6および上層フォトレジスト層7からなる3層レジストを形成し、上層レジスト7をマスクとしてSiO₂層6をパターニングする。さらにO₂を用いたリアクティブイオンエッチング(RIE)により下層レジスト5をエッチングする。この際下層レジスト5がSiO₂層6よりアンダーカットされ、SiO₂層6が下層レジスト5よりT字状に張り出した形状となるようにする。上層レジスト7は下層レジスト5のエッチングと共にエッチング除去される。工程(d)において、SiO₂層6をマスクとしてSi⁺イオンを打ちこみ、n⁺層8を形成する。図3(B)に示すように、n⁺層8の端縁は鎖線9で示される位置にある。次に工程(e)において、第2のSiO₂層10をRFスパッタ法によって堆積する。SiO₂層10の端縁は下層フォトレジスト5の側面に達し、従って、SiO₂層10の幅はn⁺層8の幅より大きい。工程(f)において、多層レジスト上のSiO₂層6をリフトオフする。その結果、SiO₂層10はSiN層4上のみ存在する(図3(C))。工程(g)において、アニーリングを行ってn層3およびn⁺層8を活性化した後、工程(h)において、ソースおよびドレインを形成すべき部位のSiO₂層10およ

2

びSiN層4を開孔し、オーミック電極11, 12を堆積する。さらに、工程(i)において、ゲートを形成すべき部位のSiN層3を開孔し、ゲート電極13を形成して、図3(D)に示すMESFETが作製される。n⁺層8とゲート電極13との間隔は下層フォトレジスト5のアンダーカット量によって規定される。

【0004】

【発明が解決しようとする課題】 前述したT型ダミーゲートパターンによる絶縁膜を介してn型イオンを注入し、n⁺層を形成する方法では、形成されるキャリアプロファイルは、表面にピークをもち深くなるにつれて減少していくものとなる。この領域に通常オーミック電極として使用されるAuGe系電極を形成すると表面から1,000~2,500Å程度の深さまでシタされる。この深さはキャリア濃度がかなり減少している領域を含んでいるため、オーミック電極のコンタクト抵抗を低減することは困難である。

【0005】 本発明はこのような従来の問題を解決し、相互コンダクタンスの高いFETを製造し得る方法を提供することを目的とする。

【0006】

【課題を解決するための手段】 上述した目的を達成するために、本発明は、幅の狭い第1層と該第1層より幅の広い第2層とからなる断面T字型のマスクを用いて半導体基板の表面に直接イオンを注入して高濃度のイオン注入層を自己整合的に形成し、さらに同一マスクを用いて、該第1のイオン注入とは異なる加速電圧によって同一導電型のイオンを前記基板表面に少なくとも1回直接注入することを特徴とする。

【0007】 すなわち、本発明においては、図1にその一具体例を示すように、基板表面にT字型のダミーゲートを形成して基板中1,500~2,000Åの深さにキャリア濃度のピークがくるように第1の注入を行う。さらに、この第1の注入よりも低い加速電圧でキャリア濃度のピークが表面近くにくるような第2の注入を行う。

【0008】

【作用】 基板表面に直接形成されたT字型のダミーゲートを介して基板中に直接イオンを注入しn⁺層の形成を行うことにより、基板中深くにピークを持つキャリア濃度の分布を得ることができる。さらに、これよりも低い加速電圧を用いて多重注入することにより、表面近くにキャリア濃度のピークをもつプロファイルも形成できる。これらの多重注入により表面付近から基板中深くにまで高濃度層を形成することができる。

【0009】

【実施例】 以下に図1を参照して本発明の実施例を説明する。

【0010】 図1(A)に示すように、GaAs基板1に例えばSi⁺イオン注入を行い動作層3を形成した。そ

3

の後、レジスト5を塗布し、その中にRFスパッタリングによってSiO₂膜6を積層した。SiO₂膜6およびレジスト5をパターニングして、T字型のダミーゲートパターンを形成した。SiO₂膜6のパターンに従ってSi⁺イオンを例えば加速電圧180keV、ドーズレート $2 \times 10^{13} / \text{cm}^2$ の条件で注入し、第1のn⁺層14を形成した。イオンは基板中に直接注入されるので基板深くまで注入される。キャリア濃度のピークは表面から1,500~2,000Åの位置であった。

【0011】ついで、図1(B)に示すように、Si⁺イオンを加速電圧50keV、ドーズレート $2.0 \times 10^{13} / \text{cm}^2$ の条件で注入して第2のn⁺層15を形成した。

【0012】次に図1(C)に示すようにSiO₂膜16をRFマグネトロンスパッタリングによって全面に堆積し、さらに図1(D)に示すように、レジスト5およびSiO₂膜6の側面に付着したSiO₂を緩衝フッ酸によって除去した。

【0013】つづいて、図1(E)に示すようにレジスト5を除去して反転パターンを得た。これにキャップ層を設け、または設けずに800℃、25分アニールして注入されたイオンの活性化処理を行った。

【0014】最後にSiO₂膜16に開孔してソース、ドレインのオーミック電極を形成し、さらに動作層3上にゲート電極を形成して電界効果型トランジスタを作製した。

【0015】このようにして作製された電界効果型トランジスタは、従来のn⁺層の絶縁膜スルー注入、すなわち厚さ1,500ÅのSiON膜を通し、加速電圧180keV、ドーズレート $2 \times 10^{13} / \text{cm}^2$ の条件でのイオン注入法に比べ、コンタクト抵抗率は $8 \mu\Omega \text{cm}^2$ から $6 \mu\Omega \text{cm}^2$ へ、シート抵抗は $200 \Omega / \square$ から $120 \Omega / \square$ へそれぞれ低減した。

4

【0016】本発明がGaAs以外の半導体に適用できること、導電体型が実施例と逆の導電体型であっても支障ないことは言うまでもない。

【0017】

【発明の効果】以上説明したように、本発明に係る電界効果型トランジスタの製造方法によれば、オーミック電極のコンタクト抵抗を低減することができる。

【0018】従ってソース抵抗が低減されるので、相互コンダクタンスの高いFETが作製できる。

【0019】さらに、この説明では、一例として2重注入の例を示したが、3重注入以上の多重注入としてもよいことは言うまでもない。

【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

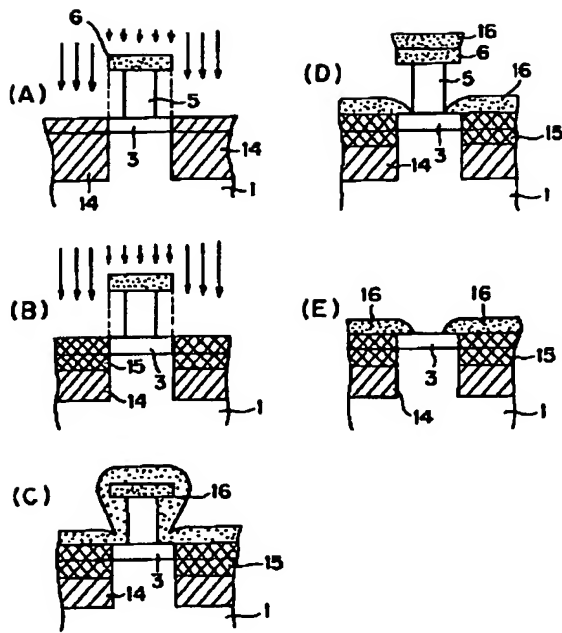
【図2】従来例の工程図である。

【図3】従来例を説明する断面図である。

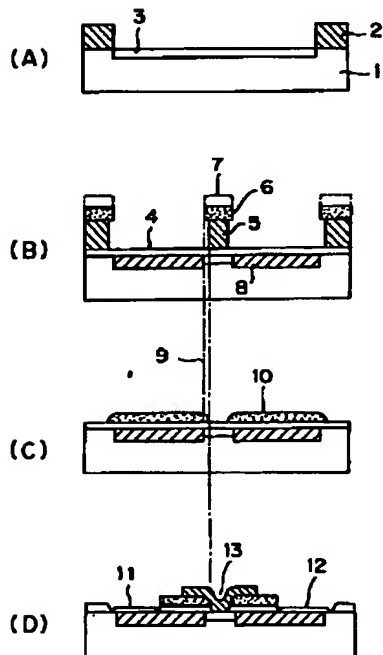
【符号の説明】

- 1 GaAs基板
- 2 レジスト
- 3 動作層
- 4 SiN層
- 5 レジスト
- 6 SiO₂層
- 7 レジスト
- 8 n⁺イオン注入層
- 10 SiO₂層
- 11 ソース
- 12 ドレイン
- 13 ゲート
- 14 第1n⁺注入層
- 15 第2n⁺注入層
- 16 SiO₂層

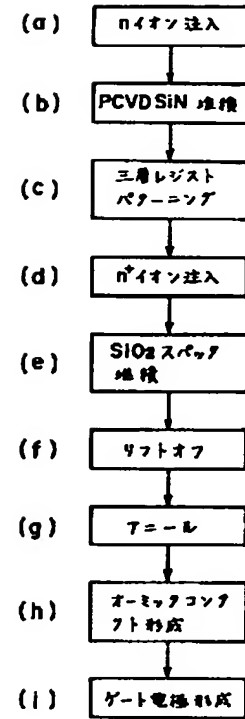
【図1】



【図3】



【図2】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/28

識別記号

庁内整理番号

FI

技術表示箇所

A 7738-4M